

WIRING MATERIAL AND CONDUCTOR WIRING LAYER USING THE SAME

Patent Number: JP2000353762
Publication date: 2000-12-19
Inventor(s): FURUYA AKIHIKO
Applicant(s): TOPPAN PRINTING CO LTD
Requested Patent: JP2000353762
Application Number: JP19990165305 19990611
Priority Number(s):
IPC Classification: H01L23/12; H01L23/14
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To obtain a wiring material having a low electrical resistance and a superior electromigration resistance, without increasing the numbers of raw materials and manufacturing processes by forming the material of a copper alloy manufactured through addition of gold to copper.

SOLUTION: When copper is used for wiring of a semiconductor integrated circuit, generally a disconnection failure is apt to occur in the circuit, because the copper tends to move due to electromigration. However, when a heavy metal, having a similar structure to the electron configuration of the outermost peripheral electron orbit of copper is added to the easily movable copper, the heavy metal suppresses the movement of the copper and improves the electromigration resistance of the copper. Therefore, gold which suppresses the movement of copper, and at the same time, hardly makes the conductivity deteriorate, when alloyed with copper is added to the copper. When the wiring of the semiconductor integrated circuit is formed of a copper alloy manufactured by adding gold to copper described, the electrical resistance of the wiring can be reduced, and at the same time, the electromigration resistance of the wiring can be improved without increasing the numbers of raw materials and manufacturing processes.

Data supplied from theesp@cenetest database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-353762
(P2000-353762A)

(43)公開日 平成12年12月19日 (2000.12.19)

(51)Int.Cl.⁷
H 0 1 L 23/12
23/14

識別記号

F I
H 0 1 L 23/12
23/14

テ-マコト^{*}(参考)
L
M

審査請求 未請求 請求項の数6 OL (全 6 頁)

(21)出願番号 特願平11-165305

(22)出願日 平成11年6月11日(1999.6.11)

(71)出願人 000003193

凸版印刷株式会社

東京都台東区台東1丁目5番1号

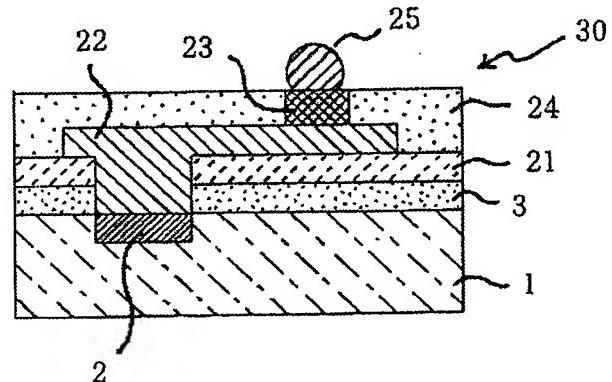
(72)発明者 古屋 明彦
東京都台東区台東1丁目5番1号 凸版印
刷株式会社内

(54)【発明の名称】 配線材料及びそれを用いた導体配線層

(57)【要約】

【課題】耐エレクトロマイグレーション性を有し、かつ、配線抵抗が小さく導電性の優れた配線材料及びそれを用いた半導体集積回路の導体配線層を提供する。

【解決手段】半導体集積回路の配線層に使用される配線材料であって、前記配線材料が銅に金を添加した銅合金からなることを特徴とする配線材料。



【特許請求の範囲】

【請求項1】半導体集積回路の配線層に使用される配線材料であって、前記配線材料が銅に金を添加した銅合金からなることを特徴とする配線材料。

【請求項2】前記銅に添加する金の添加量を0.2～4.0at%の範囲としたことを特徴とする請求項1に記載の配線材料。

【請求項3】前記銅に添加する金の添加量を0.5～2.0at%の範囲としたことを特徴とする請求項1に記載の配線材料。

【請求項4】半導体集積回路の配線層に使用される配線材料であって、前記配線材料が銅にプラチナを添加した銅合金からなることを特徴とする配線材料。

【請求項5】前記銅に添加するプラチナの添加量を0.2～4.0at%の範囲としたことを特徴とする請求項1に記載の配線材料。

【請求項6】請求項1、2、3、4または5に記載の配線材料を用いて配線パターンを形成したことを特徴とする半導体集積回路の導体配線層。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路等の配線層に使用される配線材料及びそれを用いた導体配線層に関わり、中でも特に、ICチップ上に配線層を形成したウェハーレベルパッケージと呼称される半導体集積回路の配線層に使用される配線材料及びそれを用いた半導体集積回路の導体配線層に係わる。

【0002】

【従来の技術】従来、半導体集積回路等に形成される配線層の材料として、下記の材料が用いられていた。すなわち、Al(アルミ)単体、Al-SiまたはAl-Cu-Si等のAl合金、W(タンゲステン)またはW-Ti等のW合金、Cu-Al、Cu-Si、Cu-Ti、Cu-Zn、Cu-SnまたはCu-Ni等の銅合金である。上記材料を用いスピッタ法或いはCVD法等の公知の方法にて所定の部位に金属膜を形成後にパターニング処理を行い、導体配線層を形成していた。

【0003】しかし、上記配線材料には以下の問題点が有った。すなわち、Al単体もしくはAl合金または、銅合金を用いた導体配線層では、エレクトロマイグレーションによる断線が発生するという問題である。また、WもしくはW合金、Cu-AlもしくはCu-Si等の銅合金からなる配線材料で導体配線層を形成すると配線抵抗が高くなるという問題もあった。

【0004】次いで、エレクトロマイグレーションを防止する試みとして、AlまたはAl合金及びCuまたはCu合金からなる導体配線層の表面または裏面にWまたはW合金からなる薄膜層を被接せることが提案されていた。しかし、この構成では配線抵抗が大きくなり、さらには材料費、工程数が増え製造コストが上がるという

問題が生じるものである。

【0005】さらに、Al、Al合金、W、W合金、Cu、Cu合金からなる配線層の表面は酸化しやすく、電気的コンタクト抵抗が増加するという問題も生じるといえる。

【0006】

【発明が解決しようとする課題】本発明は、以上の問題に鑑みなされたもので、耐エレクトロマイグレーション性を有し、かつ、配線抵抗が小さく導電性の優れた配線材料及びそれを用いた半導体集積回路の導体配線層を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明者らは、上記の課題を達成するために鋭意検討を行ったものである。その結果、半導体集積回路の配線材料に銅(Cu)を用いた場合、銅の最外周電子軌道の電子配置と似た構造を有する重金属を銅に添加し銅合金とすれば上記課題を解決しうることを見いだしこれを提案するものである。具体的には、まず請求項1においては、半導体集積回路の配線層に使用される配線材料であって、前記配線材料が銅に金を添加した銅合金からなることを特徴とする配線材料としたものである。

【0008】また、請求項2においては、銅に添加する金の添加量を0.2～4.0at%の範囲としたことを特徴とする請求項1に記載の配線材料としたものであり、また、請求項5においては、銅に添加するプラチナの添加量を0.2～4.0at%の範囲としたことを特徴とする請求項1に記載の配線材料としたものである。

【0009】さらにまた、本発明の請求項3においては、銅に添加する金の添加量を0.5～2.0at%の範囲としたことを特徴とする請求項1に記載の配線材料としたものである。

【0010】次いで請求項6においては、請求項1、2、3、4または5に記載の配線材料を用いて配線パターンを形成したことを特徴とする半導体集積回路の導体配線層としたものである。

【0011】

【発明の実施の形態】以下に、本発明の実施形態について説明する。

【0012】一般に半導体集積回路の配線に銅を用いると、エレクトロマイグレーションにより銅が移動しやすく、断線不良が生じやすい特性を有している。しかし本発明者らは、移動しやすい銅に銅の最外周電子軌道の電子配置と似た構造を有する重金属を添加すると、その重金属が銅の動きを抑制し、耐エレクトロマイグレーション性が向上することを見いだした。ここで、銅の動きを抑制する重金属としてはPb(鉛)、Au(金)、Pt

(プラチナ) 等の重い元素が好ましく、また、電気的抵抗を小さくし導電性を良好なものとするためには A g (銀)、A u (金)、N i (ニッケル)、Z n (亜鉛)、A l (アルミ) 等の導電性を低下させにくい元素が好ましい。

【0013】そのため本発明者らは、銅に添加する重金属として、銅の動きを抑制し合金化した際に導電性を低下させにくい金属として A u、P t を用いることを提案するものである。

【0014】上述したように耐マイグレーション性向上させる上で上記金属の添加は好ましい。しかし、銅に上記金属を添加した銅合金にて配線層を形成する場合、金属の添加量を増やすと配線の電気抵抗が大きくなる。

【0015】すなわち、銅に添加する A u、P t の量が少ないと銅の動きを抑制する効果が小さくなり、逆に添加量が多いと導電性を低下させてしまう。このため、本発明者らは銅に添加する好適な A u、P t の添加量につき検討を行った。その結果、添加量を 0.2~4.0 a t % (原子パーセント) とすれば、導電性の低下をもたらすことなく、または、実用上十分な導電性を有したまま、銅の動きを抑制する効果を持たせ得ることを見いたしました。

【0016】ここで、銅に添加する金属として金を用いることは有効であるが、金は高価な金属といえる。このため、金を多く添加することは半導体回路の製造コストを上げるために好ましいとはいえない。そのため、製造コストを考慮し、銅の動きを抑制する効果を持たせ得る添加量につき再度検討を行った結果、銅に添加する金の添加量を 0.5~2.0 a t % の範囲がより好ましいことを見いたしました。すなわち、0.5 a t % 以上の添加で耐マイグレーション性が向上するという好影響が顕著となり、かつ、添加量を 2.0 a t % より多くすると半導体回路の製造コストが上がり好ましくないためである。

【0017】

【実施例】以下に記す実施例により本発明を詳細に説明する。

<実施例1> 図1は S i (シリコンウェファー1) を基材とする I C チップ上に本発明に係わる配線材料 (C u-A u 合金) を用いて配線層を形成した半導体回路 (ウェハーレベルパッケージ30) を模式的に示す図である。

【0018】次いで図2 (a) ~ 図2 (e) はウェハーレベルパッケージ30の製造工程の例を工程順に示す説明図であり、以下に図に基づき工程の説明を行う。図2 (a) は、公知の製造工程で得られた、A 1 電極2部位を開口部とした絶縁膜3で表面を被覆したウェハー状の I C チップ4である。次いで、I C チップ4上に感光性ポリイミド (旭化成(株) 製、商品名「P I M E L 8 6 0 6」) を塗布した後、公知のパターン露光、現像工程等を行うことにより、A 1 電極2部位を開口部としたポリイミドパターン21 (膜厚 5 μm) を形成し図2

(b) を得た。

【0019】次いで、スパッタ法により配線材料 (C u-A u 合金) をポリイミドパターン21上に被膜形成した後、公知のフォトエッチング法にて所定の形状となつた配線パターン22 (一般に再配線パターンと呼称されるパターン) とし図2 (c) を得た。次いで、I C チップ4上にフォトレジストを塗布後にパターン露光、現像工程等を行い、配線パターン22の所定の部位を露出するフォトレジストを得た。しかる後、フォトレジストより露出した配線パターン22部位に電解メッキによりメタルポスト23を形成した後、フォトレジストを剥膜し、図2 (d) を得た。

【0020】次いで、メタルポスト23面を露出するよう封止樹脂24にて樹脂封止を行い、図2 (e) を得た。次いで、メタルポスト23上にハンダボール25を形成し、図1に示す半導体回路 (ウェハーレベルパッケージ30) を得た。

【0021】ここで本実施例1では、配線パターン22は図3に示すように、T i N 層 (膜厚 2 0 0 0 Å) と C u 層41 (膜厚 5 0 0 0 Å) との積層構成とした。T i N 層はバリアメタル層42と呼称される層で、バリアメタル層42をA 1 電極2と接するよう形成し、C u 層41からA 1 電極2にC u が拡散することを防止している。また、本実施例1の配線材料 (C u 層41) はC u (銅) とA u (金) の合金を使用したものであり、その組成は、C u (銅) を 9 9 a t % (原子パーセント)、A u (金) を 1 a t % (原子パーセント) とした。

【0022】上記実施例1に係わるウェハーレベルパッケージ30に、温度 2 0 0 °C の雰囲気下で電流密度 1 × 1 0 ⁷ A / cm ² の高温通電試験を 5 0 0 時間行ったが、配線パターン22にエレクトロマイグレーションによる断線は生じていなかった。すなわち、配線材料 (C u 層41) としてC u (銅) にA u (金) を添加したことで、C u (銅) の動きが抑制され動きにくくなり、エレクトロマイグレーションに対する信頼性が向上したといえる。

【0023】<比較例1> 上記実施例1との比較のため、上記実施例1と同様の構成の、S i (シリコンウェファー1) を基材とする I C チップ4上に配線材料にて配線層 (配線パターン22) を形成した半導体回路 (ウェハーレベルパッケージ30) を得た。

【0024】本比較例1では、実施例1と同様に配線パターン22は、バリアメタル層42 (膜厚 2 0 0 0 Å の T i N 層) と C u 層41 (膜厚 5 0 0 0 Å) との積層構成としたが、C u 層41には従来使用されている 9.9 a t % (原子パーセント) の銅を用いた。

【0025】本比較例1に係わるウェハーレベルパッケージ30に、温度 2 0 0 °C 、電流密度 1 × 1 0 ⁷ A / cm ² の雰囲気下に保持する高温通電試験を 5 0 0 時間行つたところ、配線パターン22にエレクトロマイグレーシ

ヨンによる断線が生じた。すなわち、配線材料（Cu層41）としてCu（銅）を使用した場合、エレクトロマイグレーションに対する信頼性は低いといえる。

【0026】<実施例2>上記実施例1と同様の構成の、Si（シリコンウェファー1）を基材とするICチップ4上に配線材料にて配線層（配線パターン22）を形成した半導体回路（ウェハーレベルパッケージ30）を得た。本実施例2では、実施例1と同様に配線パターン22は、バリアメタル層42（膜厚2000ÅのTiN層）とCu層41（膜厚5000Å）との積層構成としたが、Cu層41には3種類の銅合金を用いた。すなわち、Cu（銅）にAu（金）を0.5at%（原子パーセント）添加した合金、Cu（銅）にAu（金）を2at%（原子パーセント）添加した合金、Cu（銅）にAu（金）を4at%（原子パーセント）添加した合金の3種類であり、各合金を用いた配線パターン22を有する3種類のウェハーレベルパッケージ30を得た。

【0027】本実施例2で得られた3種類のウェハーレベルパッケージ30に各々、温度200°C、電流密度 $1 \times 10^7 A/cm^2$ の雰囲気下に保持する高温通電試験を500時間行った。高温通電試験後にエレクトロマイグレーションにより生じた配線パターン22の断線率を評価した。

【0028】<比較例2>次いで、上記実施例2との比較のため、実施例1と同様の構成の、Si（シリコンウェファー1）を基材とするICチップ4上に配線材料に

Auの添加量(at%)	0	0.2	0.5	1.0	2.0	4.0	4.5	5.0
高温通電試験の評価	△	○	◎	◎	◎	◎	◎	◎

×：断線率5%以上

△：断線率1~5%

○：断線率0.1~1%

◎：断線率0.1%以下

【0032】上記（表1）に示すように、Cu（銅）へのAu（金）の添加量が0.5at%を超えると、良好な耐エレクトロマイグレーション性を有することが確認できた。

【0033】次いで、Cu（銅）へのAu（金）の添加が電気抵抗に及ぼす影響につき調査した。調査にあたっては、4端子式電気抵抗測定器を用い、Au（金）の添加量を各々変えた配線材料で形成した配線パターン22表面の表面抵抗を調べたものである。図4に調査結果のグラフを記す。なお、図4中のグラフにおいて、横軸はCu（銅）へのAu（金）の添加量(at%)を示し、縦軸は配線パターン22表面の電気抵抗(μΩ)を示している。図4より分かるように、Au（金）の添加量が4at%を超えると急激に電気抵抗が増加している。すなわち、導電性を考慮するとAu（金）の添加量は4at%以下が良く、さらに製造コストを考慮すると2at%以下が好ましいといえる。

【0034】以上、本発明の実施例につき説明したが、

て配線層（配線パターン22）を形成した半導体回路（ウェハーレベルパッケージ30）を得た。本比較例2では、配線パターン22は、バリアメタル層42（膜厚2000ÅのTiN層）とCu層41（膜厚5000Å）との積層構成としたが、Cu層41には2種類の銅合金を用いた。すなわち、Cu（銅）にAu（金）を4.5at%（原子パーセント）添加した合金、Cu（銅）にAu（金）を5at%（原子パーセント）添加した合金の2種類であり、各合金を用いた配線パターン22を有する2種類のウェハーレベルパッケージ30を得た。

【0029】本比較例2で得られた2種類のウェハーレベルパッケージ30に各々、温度200°C、電流密度 $1 \times 10^7 A/cm^2$ の雰囲気下に保持する高温通電試験を500時間行った。高温通電試験後にエレクトロマイグレーションにより生じた配線パターンの断線率を評価した。

【0030】上記実施例1、実施例2、比較例1、および比較例2で得られた、Cu（銅）に添加するAu（金）の量を変えた場合における、高温通電試験後のエレクトロマイグレーションにより生じた配線パターンの断線率の評価をまとめたものを、以下の（表1）に記す。なお、このときの評価基準は（表1）中に記している。

【0031】

【表1】

本発明の実施形態は上述した図面および記述に限定されるものではなく、本発明の趣旨に基づき種々の変形を行っても構わないことはいうまでもない。

【0035】また、上述した説明では、Cu（銅）-Au（金）の2元系の銅合金につき述べたが、Cu（銅）-Pt（プラチナ）の2元系の銅合金でも同様の結果となった。なお、銅合金としては、Cu（銅）-Au（金）、Cu（銅）-Pt（プラチナ）2元系の銅合金の他に、Cu（銅）-Au（金）-Pt（プラチナ）の3元系の銅合金を配線材料としても構わない。

【0036】

【発明の効果】上述したように、本発明の配線材料にて半導体集積回路の配線層を形成すれば、材料数および製造工程を増やすことなく、半導体集積回路に必要な低電気抵抗であり、かつ、耐エレクトロマイグレーション性に優れた配線層を提供できる。すなわち、本発明の配線材料は、エレクトロマイグレーションの耐性が実用上十分に高く、電気抵抗も実用上十分に低く、かつ、製造コ

7

ストも低く押さえることのできる半導体集積回路用配線材料を提供したものである。

【0037】

【図面の簡単な説明】

【図1】半導体集積回路の要部を模式的に示す断面説明図。

【図2】(a)～(e)は半導体集積回路の製造工程の例を工程順に示す説明図。

【図3】積層された配線パターンの例を示す断面説明図。

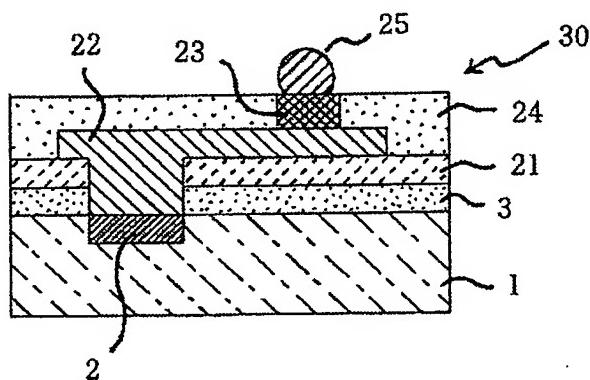
【図4】銅への金の添加量の変化による電気抵抗の変化の例を示すグラフ図。

【符号の説明】

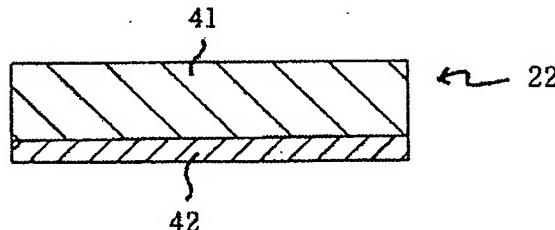
8

- | | |
|-------|---------------|
| 1 | シリコンウェファー |
| 2 | A1電極 |
| 3 | 絶縁膜 |
| 4 | I Cチップ |
| 21 | ポリイミドパターン |
| 22 | 配線パターン |
| 23 | メタルポスト |
| 24 | 封止樹脂 |
| 25 | ハンダボール |
| 10 30 | ウェファーレベルパッケージ |
| 41 | Cu層 |
| 42 | バリアメタル層 |

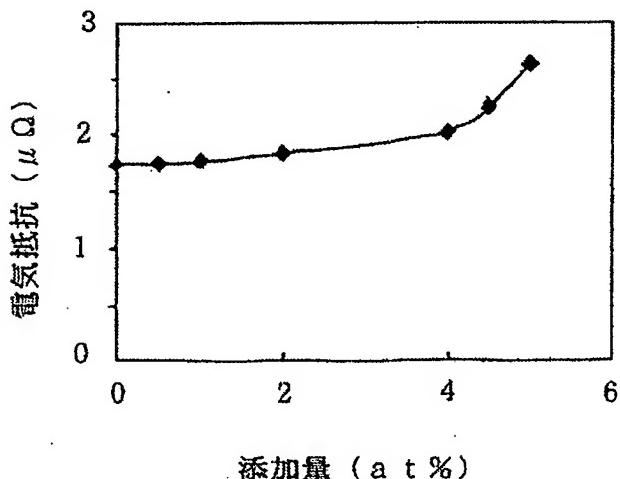
【図1】



【図3】



【図4】



【図2】

